

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-154810

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl.⁶

H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

6 5 3 A

6 5 2 K

6 5 8 G

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願平8-313852

(22) 出願日 平成8年(1996)11月25日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 久保 博稔

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(72) 発明者 桑子 栄一郎

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(72) 発明者 北川 正直

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外 1 名)

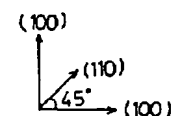
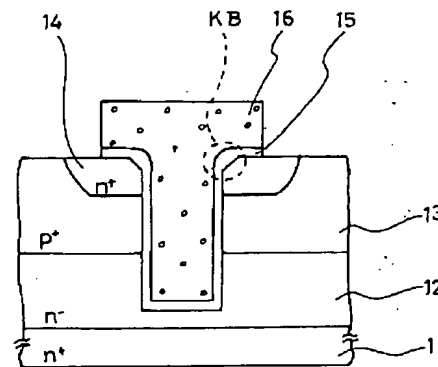
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 トレンチ型のパワー MOSFET の製造方法の改善に関する。

【解決手段】 基板面の面方位が (100) であってオリエンテーション・フラット面10の面方位が (110) である一導電型の半導体基板11と、その表層に形成された一導電型のドレイン領域12と、その表層に設けられた逆導電型のチャネル領域13と、チャネル領域13とドレイン領域12とを貫通して形成された溝であって、その側壁の面方位がオリエンテーション・フラット面10に対して 45° の角をなして (100) となり、かつ開口の角部が切除され、切除後に露出する面18の面方位が (110) となる溝17と、溝17の内壁及び角部を被覆するように設けられたゲート絶縁膜15と、ゲート絶縁膜15上に設けられ、溝17を充填するように形成されたゲート電極16と、溝17の近傍に設けられ、一導電型の不純物拡散層よりなるソース領域14とを有すること。



11: 半導体基板

13: チャネル層

15: ゲート絶縁膜

KB: 角部

12: ドレイン層

14: ソース領域

16: ゲート電極

【特許請求の範囲】

【請求項 1】 基板面の面方位が (100) であってオリエンテーション・フラット面の面方位が (110) である一導電型の半導体基板と、

前記半導体基板の表層に形成された一導電型のドレイン領域と、

前記ドレイン領域の表層に設けられた逆導電型のチャネル領域と、

前記チャネル領域と前記ドレイン領域とを貫通して形成された溝であって、その側壁の面方位が前記オリエンテーション・フラット面に対して 45° の角をなして (100) となり、かつ開口の角部が切除され、切除後に露出する面の面方位が (110) となる溝と、

前記溝の内壁及び前記角部を被覆するように設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられ、前記溝を充填するように形成されたゲート電極と、

前記溝の近傍に設けられ、一導電型の不純物拡散層よりなるソース領域とを有する事の特徴とする半導体装置。

【請求項 2】 前記半導体基板は、シリコン基板からなり、

前記ゲート絶縁膜は、前記トレンチの内壁及び角部を酸化して得られるシリコン酸化膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 基板表面の面方位が (100) であってオリエンテーション・フラット面の面方位が (110) である一導電型の半導体基板の表層に一導電型のドレイン領域層を形成し、前記ドレイン領域層の表層に逆導電型のチャネル領域層を形成する工程と、

前記半導体基板の表面に第 1 の絶縁膜を形成し、前記チャネル領域層に一導電型の不純物を注入・拡散してソース領域を形成する工程と、

前記ソース領域近傍の領域の前記第 1 の絶縁膜及び前記半導体基板を選択的にエッチングして、側壁の面方位が前記オリエンテーション・フラット面の面方位と 45° の角をなして (100) になる溝を形成する工程と、

前記溝の開口の角部を選択的に除去し、除去された後に現れる面の面方位を (110) とする工程と、

前記溝の内壁及び前記角部を酸化して、第 2 の絶縁膜を形成する工程と、

前記溝を充填し、かつ前記半導体基板全面を被覆する導電体層を形成する工程と、

前記導電体層をエッチングにより除去し、前記溝内に残存させてゲート電極を形成する工程とを有する事の特徴とする半導体装置の製造方法。

【請求項 4】 基板表面の面方位が (100) であってオリエンテーション・フラット面の面方位が (110) であって、該オリエンテーション・フラット面に平行になるように、矩形のチップ領域が複数マトリクス状に配置されてなる一導電型の半導体基板を用意する工程と、

該半導体基板の前記チップ領域内に、各々が前記チップ領域の一边と 45° の角をなすような複数のセルをマトリクス状に配置する工程と、

前記半導体基板の表層に一導電型のドレイン領域層を形成し、前記ドレイン領域層の表層に逆導電型のチャネル領域層を形成する工程と、

前記半導体基板の表面に第 1 の絶縁膜を形成し、前記チャネル領域層に一導電型の不純物を注入・拡散してソース領域を形成する工程と、

10 前記ソース領域近傍の領域の前記第 1 の絶縁膜及び前記半導体基板を選択的にエッチングし、前記セルの一边と平行に配置され、その側壁が (100) となる溝を形成する工程と、

前記溝の開口の角部を選択的に除去し、除去された後に現れる面の面方位を (110) とする工程と、

前記溝の内壁及び前記角部を酸化して、第 2 の絶縁膜を形成する工程と、

前記溝を充填し、かつ前記半導体基板全面を被覆する導電体層を形成する工程と、

20 前記導電体層をエッチングにより除去し、前記溝内に残存させてゲート電極を形成して、前記セル内に複数のトランジスタを形成する工程とを有する事の特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及び半導体装置の製造方法に関し、さらに詳しくいえば、トレンチ型の縦型パワー半導体装置の製造方法の改善に関する。

【0002】

【従来の技術】以下で従来例に係る半導体装置について図面を参照しながら説明する。この半導体装置は、図 7 に示すようなトレンチ型のパワー MOSFET である。これを形成するには、図 8 に示すようなウエハ、すなわち基板 1 の面方位が (100) であって、オリエンテーション・フラット面 1A の面方位が (110) であり、チップ領域 CP がオリエンテーション・フラット面 1A に平行にマトリクス状に配置され、セル CL がこのチップ領域 CP の辺に平行にマトリクス状に配置されたウエハを用いる。

40 【0003】図 7 のパワー MOSFET においては、 N^+ 型の半導体基板 1 の表層に N^- 型の共通ドレイン層 2 がエピタキシャル成長法によって形成され、この共通ドレイン層 2 の表層に、 P^+ 型の不純物が拡散されることでチャネル層 3 が形成されている。またチャネル層 3 の表層の一部には、 N^+ 型の不純物が拡散されることによりソース領域 4 が形成されており、これらを貫通するように溝 (トレンチ) が設けられている。

50 【0004】このトレンチは、図 8 の拡大図に示すセル CL の一边と平行になるように配置されているので、そ

の側壁の面方位は図7に示すようにオリエンテーション・フラット面2の面方位と一致して(110)となり、トレンチの底面及び基板表面の面方位が(100)となっている。このトレンチの表層にはゲート絶縁膜5が形成され、ゲート絶縁膜5上にはこのトレンチを充填するようにポリシリコンゲート6が形成されている。

【0005】上記のパワーMOSFETを製造するにおいては、トレンチを形成した後に熱酸化などで内壁及び底面に酸化膜を成長させる事によってゲート絶縁膜5を形成していた。

【0006】

【発明が解決しようとする課題】上記の半導体装置によれば、図7に示すようにトレンチの側壁の面方位が(110)となり、トレンチの底面及び基板表面の面方位が(100)となる。ゲート絶縁膜5を形成するには、上述のようにトレンチを形成した後に、熱酸化によって酸化膜をトレンチ内で成長させているが、酸化膜の形成工程においては、面方位が(100)の場合が成長速度が最も遅く、次いで(111)、(110)の順に速くなるので、面方位が(110)であるトレンチの側壁での酸化膜が、面方位が(100)であるトレンチの底面及び基板表面での酸化膜よりも速く成長して、トレンチ側壁でのゲート絶縁膜の膜厚が厚くなる。

【0007】従って、トレンチの側壁のゲート酸化膜厚を所定の膜厚に設定すると、トレンチ底面の膜厚が側面の膜厚より薄くなり絶縁耐量が低下するという問題が生じ、また、トレンチの開口側の角部KBに電界が集中することにより、この角部KBにおいてゲート絶縁膜が破壊してしまうなどという問題が生じる。このような問題を改善するために、基板面の面方位とトレンチ側壁の面方位とを同じ(100)にして、側壁と底面での成長速度を同じにして、トレンチ底部での絶縁耐量低下を抑止するという試みがなされていた(特開平2-46716)。この方法によると、トレンチの側壁で成長する酸化膜と、底面で成長する酸化膜の膜厚を均一にすることでトレンチ底部での絶縁耐量低下を防止することができるが、トレンチ開口側の角部でのゲート破壊を防止するという点では、まだ十分ではなかった。

【0008】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、図1に示すように、基板面の面方位が(100)であってオリエンテーション・フラット面の面方位が(110)である一導電型の半導体基板と、前記半導体基板の表層に形成された一導電型のドレイン領域と、前記ドレイン領域の表層に設けられた逆導電型のチャネル領域と、前記チャネル領域と前記ドレイン領域とを貫通して形成された溝であって、その側壁の面方位が前記オリエンテーション・フラット面に対して45°の角をなして(100)となり、かつ開口の角部が切除され、切除後に露出する面の面方位が(110)

となる溝と、前記溝の内壁及び前記角部を被覆するように設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記溝を充填するように形成されたゲート電極と、前記溝の近傍に設けられ、一導電型の不純物拡散層よりなるソース領域とを有する事を特徴とする半導体装置や、基板表面の面方位が(100)であってオリエンテーション・フラット面の面方位が(110)である一導電型の半導体基板の表層に一導電型のドレイン領域層を形成し、前記ドレイン領域層の表層に逆導電型のチャネル領域層を形成する工程と、前記半導体基板の表面に第1の絶縁膜を形成し、前記チャネル領域層に一導電型の不純物を注入・拡散してソース領域を形成する工程と、前記ソース領域近傍の領域の前記第1の絶縁膜及び前記半導体基板を選択的にエッチングして、側壁の面方位が前記オリエンテーション・フラット面の面方位と45°の角をなして(100)になる溝を形成する工程と、前記溝の開口の角部を選択的に除去し、除去された後に現れる面の面方位を(110)とする工程と、前記溝の内壁及び前記角部を酸化して、第2の絶縁膜を形成する工程と、前記溝を充填し、かつ前記半導体基板全面を被覆する導電体層を形成する工程と、前記導電体層をエッチングにより除去し、前記溝内に残存させてゲート電極を形成する工程とを有する事を特徴とする半導体装置の製造方法により、上記課題を解決するものである。

【0009】

【発明の実施の形態】以下で、本発明の実施形態に係るトレンチ構造のパワーMOSFETについて図面を参照しながら説明する。しかしながら本発明は以下の実施形態に限るものではない。図1は本実施形態に係るパワーMOSFETの構造を説明する断面図であり、図2は本実施形態に係るパワーMOSFETの製造に用いるウエハを説明する図である。

【0010】この半導体装置は、図2に示すようなウエハ、すなわち基板11の面方位が(100)であって、オリエンテーション・フラット面10の面方位が(110)であるような通常使用されるウエハで形成されている。しかし、ウエハのチップ領域CPは従来と同様にオリエンテーション・フラット面10に平行にマトリクス状に配置されているが、その中に配置するセルCLは、図2に示すように各々がこのチップ領域CPの辺と45°の角をなしつつ、マトリクス状に配置されている点が従来と異なる。

【0011】本実施形態に係るパワーMOSFETにおいては、図1に示すようにN⁺型の半導体基板11の表層にN⁻型の共通ドレイン層12がエビタキシャル成長法によって形成され、この共通ドレイン層12の表層に、P⁺型の不純物が拡散されることでチャネル層13が形成されている。またチャネル層13の表層の一部には、N⁺型の不純物が拡散されることによりソース領域14が形成されており、これらを貫通するようにトレン

チ（溝）が設けられている。

【0012】上記装置において、トレンチはセルCLの一辺と平行に形成されているので、その側壁の面方位はオリエンテーション・フラット面10と45°の角度をなすように形成されている。このため、このトレンチの側壁の面方位は図1に示すように基板面の面方位と同じ（100）となる。さらに、トレンチの角部KBは切除されており、切除された後に現れる角部の面（後述の切除面）の面方位は（110）になるように設定されている。

【0013】そして、トレンチの内壁にはゲート絶縁膜15が形成され、ゲート絶縁膜15上にはこのトレンチを充填するようにポリシリコンゲート16が形成されている。ゲート絶縁膜15は、図1に示すようにトレンチの側壁の膜厚と、底面の膜厚とがほぼ同じであって、また、角部KBでの膜厚はトレンチ及び底面の膜厚よりも厚くなっている。どのようにしてこのようなゲート絶縁膜が形成されるかについては後述の製造方法で詳述する。

【0014】本実施形態に係る半導体装置によれば、図1に示すように、トレンチの側壁の膜厚と、底面の膜厚とがほぼ同じであるため、トレンチ底部での絶縁耐量低下の問題を抑止する事が可能になる。また、角部が切除されてなだらかなっているためこの部分で電界が集中しにくくなっており、しかも角部でのゲート絶縁膜15の膜厚が他の領域よりも厚くなっているため、トレンチの開口側の角部KBに電界が集中することにより、この角部KBにおいてゲート絶縁膜が破壊してしまうなどという問題を抑止する事が可能になる。

【0015】以下で、上記半導体装置の製造方法について図面を参照しながら説明する。図3～図5は、本実施形態に係るパワーMOSFETの製造方法を説明する断面図である。まず、基板として図2に示すように、基板面の面方位が（100）であって、オリエンテーション・フラット面10の面方位が（110）である半導体基板11を用意し、各々がオリエンテーション・フラット面10に平行になるような複数のチップ領域CPをマトリクス上に配置したのちに、このチップ領域CP内において、図2に示すように各々がこのチップ領域CPの辺と45°の角をなすような複数のセルCLをマトリクス状に配置する。

【0016】そして、図3に示すようにn+型のシリコンからなるこの半導体基板11の表層にn-型のドレイン層12をエピタキシャル成長法で形成し、その表層にp+型のチャネル層13を形成する。さらにそのチャネル層13上にシリコン酸化膜16を形成し、N+型不純物である例えば、砒素（As）をドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ の条件でチャネル層の表層に選択的に注入・拡散して、ソース領域14を形成する。

【0017】その後、図3に示すようにソース領域14

近傍のシリコン酸化膜16及び半導体基板11を選択的にドライエッチングして幅 $1 \mu\text{m}$ 、深さ $1.5 \sim 3 \mu\text{m}$ 、好ましくは $2 \mu\text{m}$ 程度のトレンチ17を形成する。このとき、トレンチ17の形成方向を、セルCLの一辺と平行になるようにする。すると、このトレンチの側壁はオリエンテーション・フラット面10に対して45°の角をなすため、トレンチ17の側壁の面方位は図2に示すように（100）となる。

【0018】次に、図4に示すようにトレンチ17の開口側の角部18を、基板面と45°の角をなすように斜め上方からエッチングして選択的に除去する。この除去された後の角部の面（以下でこれを切除面18と称する）の面方位は（110）となる。このようなトレンチ17を形成した後に、図5に示すように全面を熱酸化して、トレンチ17の内壁に膜厚 500 \AA 程度のシリコン酸化膜からなるゲート絶縁膜15を形成する。

【0019】この成長工程において、トレンチ17の底面の面方位と側壁の面方位は共に（100）であるため、酸化膜の成長速度は等しくなり、トレンチ17の底面の膜厚と側壁の膜厚とは等しくなるので閾値電圧が場所によらず均一になる。さらに、切除面18の面方位は上述の通り（110）となる。この面における酸化膜の成長速度は、トレンチ17の底面及び側壁の酸化膜の成長速度よりも速いので、図5に示すように切除面18上で成長する酸化膜の膜厚をトレンチの底面及び側壁の酸化膜の膜厚よりも厚くすることができ、トレンチ17の底面の膜厚と側壁の膜厚とが等しく、かつ切除面18での膜厚がこれらの膜厚よりも厚いゲート絶縁膜15を形成する事が可能になる。

【0020】その後、全面にポリシリコンを堆積してトレンチ内を充填した後に、これをバターンングすることにより、図1に示すようなトレンチ型のパワーMOSFETを製造する事ができる。以上説明したように、本実施形態に係る半導体装置の製造方法によれば、基板面の面方位が（100）であってオリエンテーション・フラット面10の面方位が（110）である半導体基板11を用意し、トレンチ17を形成するときはその形成方向をオリエンテーション・フラット面10と45°の角をなすように形成しているため、オリエンテーション・フラット面10の面方位とトレンチ17の側壁の面方位とともに（100）になる。

【0021】その後、トレンチ17の角部を除去して面方位が（110）となる切除面18を形成し、酸化することでゲート絶縁膜15を形成しているため、トレンチ17の底面の膜厚と側壁の膜厚とが等しく、かつ切除面18での膜厚がこれらの膜厚よりも厚いゲート絶縁膜15を形成する事ができ、図1に示すような本実施形態に係る半導体装置を製造することが可能になる。

【0022】また、本実施形態においてはセルCLを45°回転させることでトレンチ17の側壁の面方位を

(100)となるようにしているの、オリエンテーション・フラット面10が(100)になるような特注の基板を用いなくて済み、オリエンテーション・フラット面が(110)という一般的に用いられる基板を使用する事ができるので、汎用性が高いという利点もある。

【0023】

【発明の効果】以上説明したように、本発明に係る半導体装置によれば、トレンチの側壁の膜厚と、底面の膜厚とがほぼ同じであるため、トレンチ底部の絶縁耐量低下を抑止する事が可能になる。また、角部が切除されてならかになっているためこの部分で電界が集中しにくくなっており、しかも角部でのゲート絶縁膜の膜厚が他の領域よりも厚くなっているの、トレンチの開口側の角部に電界が集中することにより、ゲート絶縁膜が破壊してしまうなどという問題を抑止する事が可能になる。

【0024】また、本発明に係る半導体装置の製造方法によれば、基板面の面方位が(100)でオリエンテーション・フラット面の面方位が(110)である半導体基板を用意し、トレンチの形成方向をオリエンテーション・フラット面と45°の角をなすように形成してトレンチの側壁の面方位を(100)にしたのちに、トレンチの角部を除去して面方位が(110)となる切除面を形成し、酸化することでゲート絶縁膜を形成しているの、トレンチの底面の膜厚と側壁の膜厚とが等しく、か*

*つ角部での膜厚がこれらの膜厚よりも厚いゲート絶縁膜を形成する事ができ、上述の作用効果を奏する本発明に係る半導体装置を製造する事が可能になる。

【0025】さらに、本発明においてセルをオリエンテーション・フラット面と45°の角をなすようにして溝の側壁の面方位を(100)となるようにしているの、オリエンテーション・フラット面が(100)になるような特注の基板を用いなくて済み、汎用性が高くなる。

10 【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の構造を説明する断面図である。

【図2】本発明の実施形態に係る半導体装置の製造に用いる半導体基板を説明する図である。

【図3】本発明の実施形態に係る半導体装置の製造方法を説明する第1の断面図である。

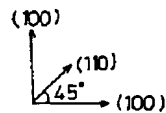
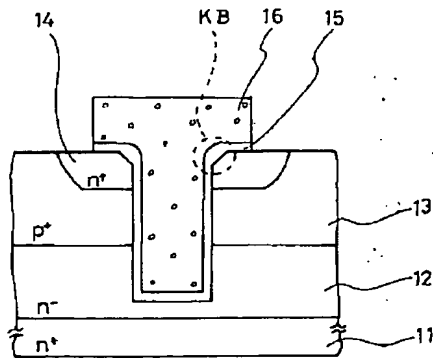
【図4】本発明の実施形態に係る半導体装置の製造方法を説明する第2の断面図である。

【図5】本発明の実施形態に係る半導体装置の製造方法を説明する第3の断面図である。

【図6】従来例に係る半導体装置の製造に用いる半導体基板を説明する図である。

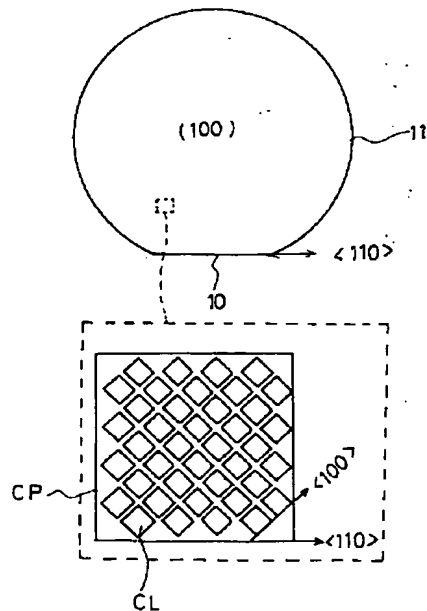
【図7】従来例に係る半導体装置の構造を説明する断面図である。

【図1】



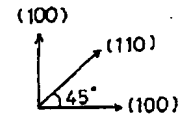
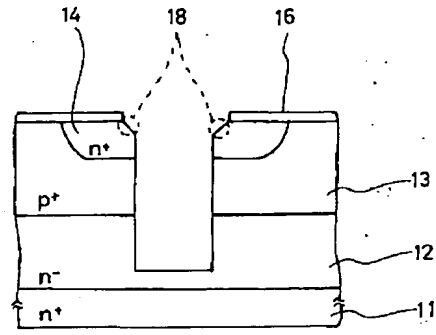
- | | |
|------------|-----------|
| 11: 半導体基板 | 12: ドレイン層 |
| 13: チャネル層 | 14: ソース領域 |
| 15: ゲート絶縁膜 | 16: ゲート電極 |
| KB: 角部 | |

【図2】

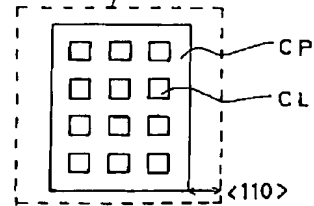
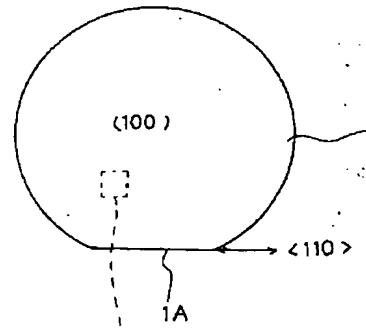


- | |
|--------------------|
| 10: オリエンテーションフラット面 |
| CL: セル |
| CP: チャネル領域 |

【圖4】



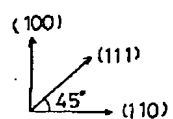
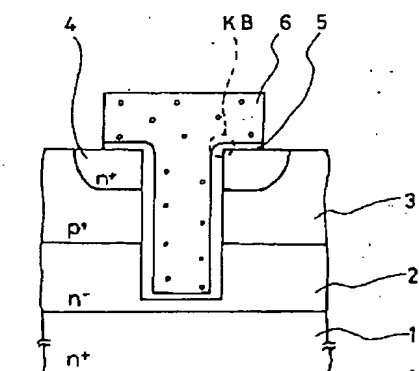
【圖6】



1A:オリエンテーションフラット面

CP: チョコ領域

【図7】



2: ドレイン層
4: ソース領域
6: ゲート電極

3: チャンネル層
5: ゲート絶縁膜
KB: 角部

フロントページの続き

(72)発明者 五十嵐 保裕
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内